

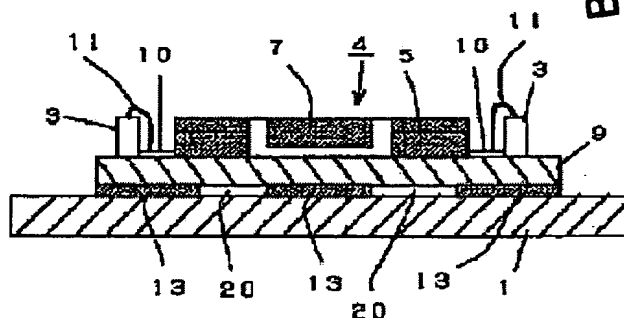
SEMICONDUCTOR-TYPE ACCELERATION SENSOR

Patent number: JP7027786
Publication date: 1995-01-31
Inventor: GOTO MASARU
Applicant: KANSEI CORP
Classification:
- international: G01P15/12; H01L29/84
- european:
Application number: JP19930174481 19930714
Priority number(s):

Abstract of JP7027786

PURPOSE:To reduce the aged deterioration of sensor characteristics and to enhance the stability and the temperature characteristic of an acceleration sensor by a method wherein a ceramic substrate is bonded to a metal stem by silicone-based adhesive which is provided with elasticity after hardening.

CONSTITUTION:A semiconductor-type acceleration sensor element in which a beam part 4 is formed, provided with a plate spring part in its base part and a mass part 7 in its tip part, and a peripheral circuit 10 are mounted on a ceramic substrate 9, and the substrate 9 is bonded to a metal stem 1 via an adhesive layer 13. Then, the adhesive layer is formed so as to be divided into a plurality of stripes, spaces 20 are formed in divided adhesive layers 13, the air flows through the spaces 20 and the hardening of the adhesive layers 13 is promoted. As an adhesive which forms the adhesive layers 13, a thermoset resin and a room-temperature hardening resin are enumerated. However, in order to reduce thermal damage to an electronic component mounted on the ceramic substrate 9, a room-temperature hardening-type silicone-based adhesive is used.



Data supplied from the esp@cenet database - Worldwide

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-27786

(43) 公開日 平成7年(1995)1月31日

(51) Int. Cl. °

識別記号

F I

G01P 15/12

H01L 29/84

A 9278-4M

審査請求 未請求 請求項の数 1 O L (全4頁)

(21) 出願番号 特願平5-174481

(22) 出願日 平成5年(1993)7月14日

(71) 出願人 000001476

株式会社カンセイ

埼玉県大宮市日進町2丁目1910番地

(72) 発明者 後藤 優

埼玉県大宮市日進町2丁目1910番地 株式
会社カンセイ内

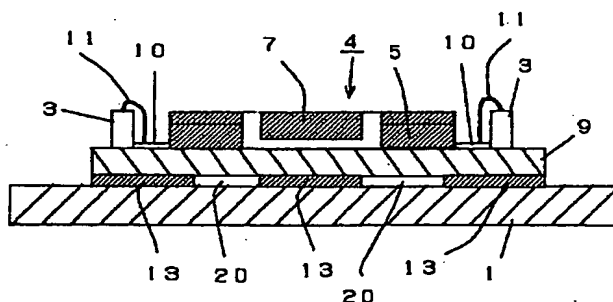
(74) 代理人 弁理士 田澤 博昭 (外1名)

(54) 【発明の名称】 半導体式加速度センサ

(57) 【要約】

【目的】 セラミック基板の金属性ステムへの接着を、硬化後、弾力性を有するシリコン系接着剤によって行い、接着層の弾性を利用して熱ストレスを吸収して蓄積されることを防止する。

【構成】 半導体式加速度センサエレメントが搭載される基板をシリコン接着剤を介して金属性ステムに接着する。



【特許請求の範囲】

【請求項1】 梁部(4)が形成され、該梁部の基部に板バネ部(6)が、また先端部に質量部(7)が設けられてなる半導体式加速度センサエレメントと、該半導体式加速度センサエレメント及びその周辺回路(10)が搭載されてなる基板(9)と、該基板が接着層(13)を介して接着される金属性ステム(1)と、該金属性ステムの上方からそのステムを覆って周縁部(15)が互いに溶着される金属性シェル(14)とを備えてなる半導体式加速度センサにおいて、前記接着層(13)は複数箇所に分割されて設けられ、かつ該接着層(13)はシリコン接着剤から形成されてなることを特徴とする半導体式加速度センサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体式加速度センサに関するものである。

【0002】

【従来の技術】従来の半導体式加速度センサの構造を図5及び図6に基づいて説明する。同図において、1は平板状の金属性ステムで、その周辺部には外部との電気接続をするための貫通孔が複数穿設され、その複数の貫通孔のそれぞれには硬質ガラス2を溶着することによりリード端子3が固定されている。リード端子3とステム1とは硬質ガラス2によって電気的に絶縁されており、また硬質ガラス2は気密性よく介在されている。またこのステム1上には、カンチレバー(梁部)4及び台座5により成る半導体式加速度センサエレメントが搭載されている。

【0003】またカンチレバー4は、基板をエッチングすることにより基部に薄肉状の板バネ部6が形成されて台座5に固定されている。また、その先端部に形成された厚肉状の部分はその一部を被測定加速度に応じて変位できるようにした自由端が質量部7として形成されている。また板バネ部6には歪ゲージが形成され、その歪ゲージはワイヤボンディングによってセラミック基板9に形成された周辺回路10に電気接続され、さらにその周辺回路10はワイヤ線11をワイヤボンディングすることによりリード端子3に電気接続されている。

【0004】12はストッパーであり、その断面形状は逆L字状にされて立設され、カンチレバー7の上方への最大変位量を規制している。13はセラミック基板9を金属性ステム1に接着固定している接着層で、熱硬化型エポキシ系接着剤が使用されており、双方の接着可能な対向面全体に塗布されている。

【0005】14は周辺部に鍔部15が形成された金属性シェルで、プレス加工により凹部が形成され、箱型となり、その周辺部が金属性ステム1の周辺部に溶着されて気密封止されている。なお、この気密封止はステム1の周辺部が金属性シェル14の鍔部15に一致するよう

に上方から金属性シェル14をステム1にかぶせ、接触させた後に、プレスにより圧力を加えながら金属性シェル14とステム1との間に通電することにより両者を溶接するものである。

【0006】このように構成された半導体式加速度センサに加速度が上下方向に外部から加えられた場合には、カンチレバー4の自由端に形成された質量部7が上下方向に振動し、その結果板バネ部6に歪を生じる。その歪の大きさに応じて前記半導体式歪ゲージの抵抗値が変化し、電気信号として検出される。

【0007】

【発明が解決しようとする課題】しかしながら、上記の如くセラミック基板9をエポキシ系接着層13を介して金属性ステム1に接着固定しているため、次のような問題点を発生していた。すなわち、第1に、エポキシ系接着剤は通常加熱されて硬化する性質を有しているために、熱硬化後に残留応力が接着層13内部にストレスとして残る。

【0008】また、第2に、エポキシ系接着層13と、セラミック基板9と、金属ステム1とのそれぞれの熱膨張係数の違いによりセラミック基板9に熱ストレスが加わり、半導体式加速度センサエレメントの温度特性が変化してしまう。

【0009】さらに、第3に、セラミック基板9の熱膨張係数を金属ステム1の熱膨張係数に合わせるためにはセラミック基板9の熱膨張係数を金属ステム1の熱膨張係数に近づける必要がある。すなわち熱膨張係数が小さいニッケル合金やコパールなどの高価な材料を使用する必要が生じ、コストアップを引き起こす原因になる。

【0010】

【課題を解決するための手段】この発明に係る半導体式加速度センサは、梁部が形成され、該梁部の基部に板バネ部が、また先端部に質量部が設けられてなる半導体式加速度センサエレメントと、該半導体式加速度センサエレメント及びその周辺回路が搭載されてなる基板と、該基板が接着層を介して接着される金属性ステムと、該金属性ステムの上方からそのステムを覆って周縁部が互いに溶着される金属性シェルとを備えてなる半導体式加速度センサにおいて、前記接着層は複数箇所に分割されて設けられ、かつ該接着層はシリコン接着剤から形成されてなる。

【0011】

【作用】上記構成によれば、セラミック基板の金属性ステムへの接着を、硬化後、弾力性を有するシリコン系接着剤によって行い、接着層の弾性を利用して熱ストレスを吸収して蓄積されることを防止する。

【0012】

【実施例】図1及び図2に基づいてこの発明による実施例を詳細に説明する。図1及び図2において、図5及び図6で説明した構成のものと同じ、または均等なものに

は同一符号を付してその詳細な説明を省略する。すなわち、図1及び図2に示す接着層13は複数条、例えば3条（または3列）に分割されて設けられ、それらの接着層13間には空間20が形成され、その空間20内を空気が流通して接着層13の硬化を促進している。なお、この接着層13を形成する接着剤としては、熱硬化型のものや常温硬化型のものがあり、セラミック基板9に搭載された電子部品への熱的ダメージを小さくするには常温硬化型のものを使用すればよい。なお、この常温硬化型のものには、空気中の湿気と反応するタイプと、脱アルコールタイプのものがある。また、前記空間20が設けられることにより、接着層13に含まれるガス等が硬化時に空气中に放出されることを促進する。

【0013】また、上記実施例では接着層13を複数条に分割して設けたが、接着に要する時間をさらに短くするためには、図3及び図4に示すように接着層13を更に細かく分割し、正方形に形成しても良いことはいうまでもなく明かなことである。なお、図3及び図4において、図5及び図6で示した構成のものと同じのもの、または均等なものには同一符号を付してその説明は省略した。

【0014】

【発明の効果】以上説明したように、この発明によれば、次のような効果が発揮される。すなわち、硬化後、接着層がゴム弾性を有するためにエポキシ系接着剤に比べて残留応力が小さくなり、センサ特性の経年変化が小さくなり、センサの特性の安定性及び温度特性を向上で

きる。

【0015】また、セラミック基板と金属ステムとの間の熱膨張係数の違いによる熱歪はゴム弾性によって吸収される。そのために、金属ステムの材料として一般的で安価な鋼板を使用でき、コスト低減を図ることができる。

【図面の簡単な説明】

【図1】本発明による一実施例を説明するための断面説明図である。

10 【図2】図1に示す実施例の平面説明図である。

【図3】本発明による他の実施例を説明するための断面説明図である。

【図4】図1に示す他の実施例の平面説明図である。

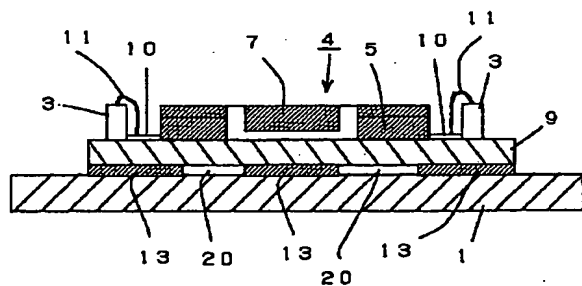
【図5】従来例を説明するための半導体式加速度センサの斜視図である。

【図6】図5に示す説明図のX-X断面説明図である。

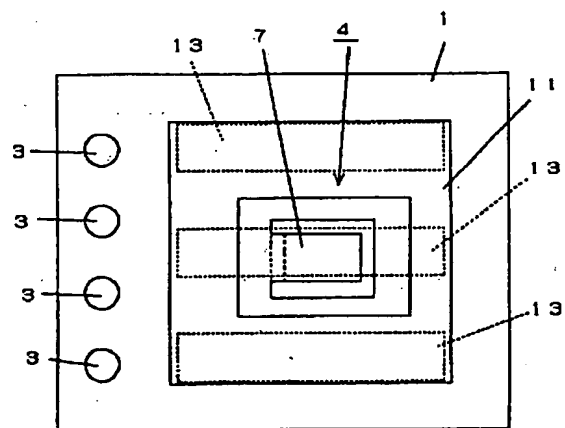
【符号の説明】

- 1 金属性ステム
- 4 カンチレバー
- 5 台座
- 6 板バネ部
- 7 質量部
- 9 セラミック基板
- 10 周辺回路
- 13 接着層
- 20 空間

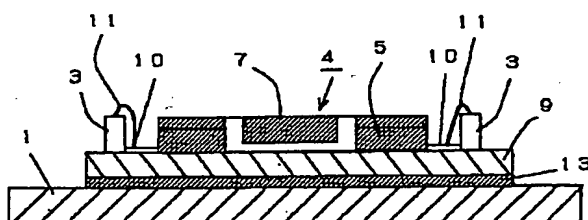
【図1】



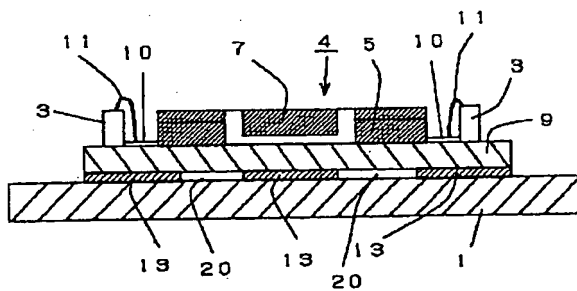
【図2】



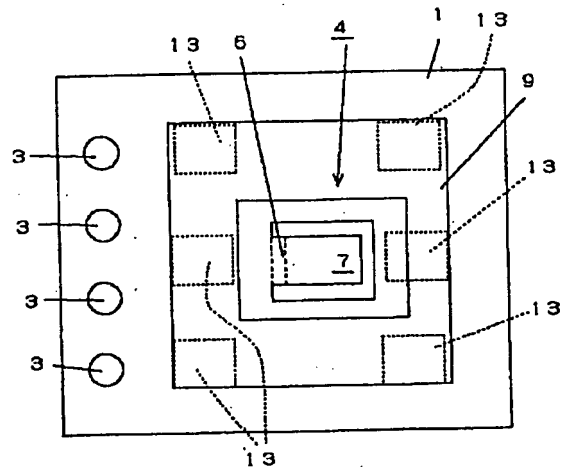
【図6】



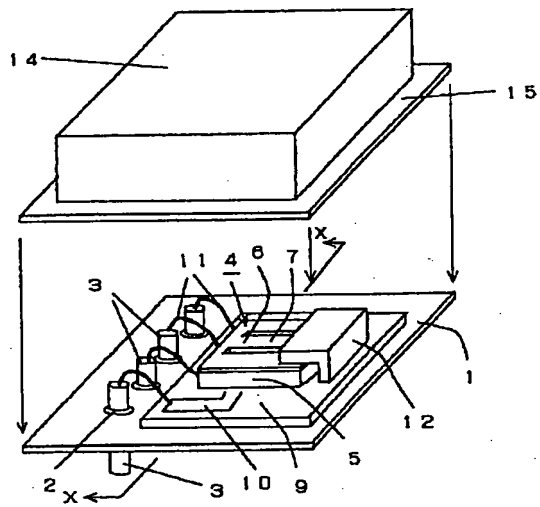
【図3】



【図4】



【図5】



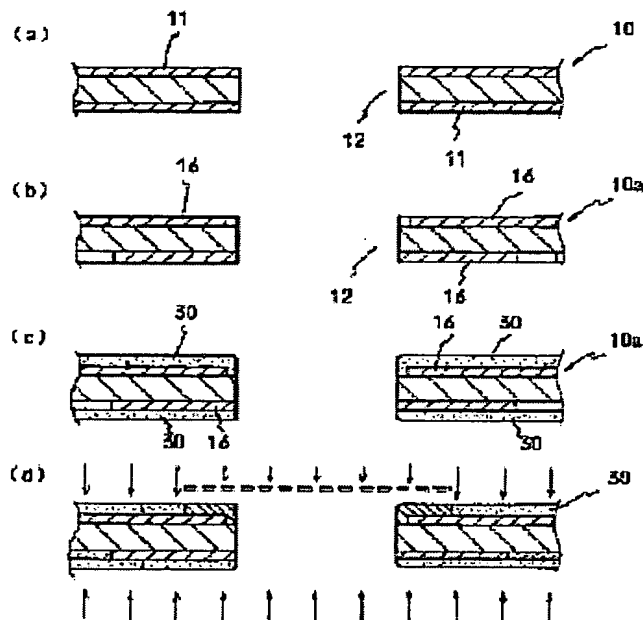
MANUFACTURE OF SEMICONDUCTOR PACKAGE

Patent number: JP9082832
Publication date: 1997-03-28
Inventor: SHIMIZU MITSU HARU
Applicant: SHINKO ELECTRIC IND CO LTD
Classification:
 - international: H01L23/12
 - european:
Application number: JP19950241487 19950920
Priority number(s):

Abstract of JP9082832

PROBLEM TO BE SOLVED: To secure the bonding part having excellent electrical connectivity by a method wherein the bonding part of a wiring pattern is covered with a sensitive resist for avoiding the needless adherence of a bonding agent to the bonding part of the wiring pattern during the working step.

SOLUTION: After the formation of a wiring pattern 16 by etching a copper foil 11, the surface of a circuit substrate 10a whereon the wiring pattern 16 is formed is coated with a sensitive resist 30. Next, the laminated range of the sensitive resist 10 is exposed leaving the circuit substrate resist 30 whereon the circuit substrate 10a is to be bonded so that the sensitive resist 30 coating the bonding part may be removed in the latter step. Besides, the rugged surface of the circuit substrate 10a caused by the formation of the wiring pattern 16 is smoothed to flatten the surface of the circuit substrate 10a. Through these procedures, the bonding force in case of bonding the circuit substrate 10a using a bonding sheet can be secured.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-82832

(43) 公開日 平成9年(1997)3月28日

(51) Int. Cl. ⁶
H01L 23/12

識別記号

F I
H01L 23/12

N

審査請求 未請求 請求項の数 5 O L (全8頁)

(21) 出願番号 特願平7-241487

(22) 出願日 平成7年(1995)9月20日

(71) 出願人 000190688

新光電気工業株式会社

長野県長野市大字栗田字舍利田711番地

(72) 発明者 清水 満晴

長野県長野市大字栗田字舍利田711番地

新光電気工業株式会社内

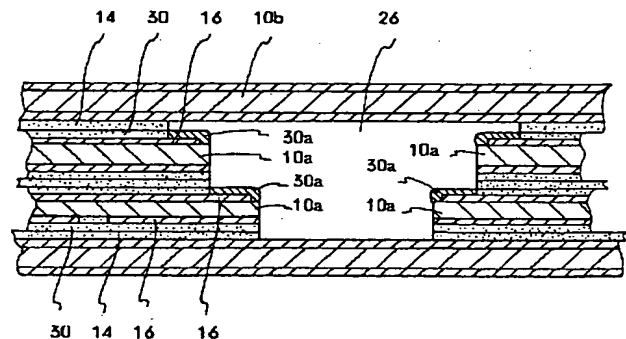
(74) 代理人 弁理士 綿貫 隆夫 (外1名)

(54) 【発明の名称】 半導体パッケージの製造方法

(57) 【要約】

【課題】 配線パターンのボンディング部の接続性を向上させ、信頼性の高い半導体パッケージが確実に得られるようにする。

【解決手段】 キャビティ26を形成する孔と前記孔の周縁部にボンディング部を有する配線パターン16とが設けられた複数の回路基板10aを接着シート14により積層するとともに、これらの回路基板の最外層にキャビティを密閉する基板10bを接着シートを介して積層することにより積層体を形成し、該積層体に前記配線パターンと外部接続端子とを接続するための貫通孔を設け、該貫通孔にめっきを施した後、キャビティの上面を密閉している基板10bにキャビティを形成するための開口を形成する半導体パッケージの製造方法において、前記回路基板の配線パターンを形成した面に感光性レジスト30を塗布し、後工程でボンディング部を被覆した部位を除去可能とする露光処理を感光性レジスト30に施すことによりボンディング部に保護被膜を設けた後、回路基板10aを積層し、キャビティ26を開口した後、保護被膜30aを除去する。



【特許請求の範囲】

【請求項1】 キャビティを形成する孔と前記孔の周縁部にボンディング部を有する配線パターンとが設けられた複数の回路基板を各回路基板間に接着シートを介在させて積層するとともに、これらの回路基板の最外層に前記複数の回路基板によって形成されたキャビティを密閉する基板を接着シートを介して積層することにより積層体を形成し、

該積層体に前記配線パターンと外部接続端子とを接続するための貫通孔を設け、該貫通孔にめっきを施した後、前記キャビティの上面を密閉している基板にキャビティを形成するための開口を形成する半導体パッケージの製造方法において、

前記回路基板の配線パターンを形成した面に感光性レジストを塗布し、

後工程でボンディング部を被覆した部位を除去可能とする露光処理を前記感光性レジストに施すことにより前記ボンディング部に保護被膜を設けた後、前記回路基板を積層し、

前記キャビティを開口した後、前記保護被膜を除去することを特徴とする半導体パッケージの製造方法。

【請求項2】 キャビティの上面及び下面を密閉している基板にキャビティを形成するための開口を形成することを特徴とする請求項1記載の半導体パッケージの製造方法。

【請求項3】 感光性レジストとしてネガ型レジストを使用し、配線パターンのボンディング部以外を露光処理した後に回路基板を積層することを特徴とする請求項1または2記載の半導体パッケージの製造方法。

【請求項4】 感光性レジストとしてポジ型レジストを使用し、配線パターンのボンディング部を露光処理した後に回路基板を積層することを特徴とする請求項1または2記載の半導体パッケージの製造方法。

【請求項5】 保護被膜を溶剤等を用いて溶解除去することを特徴とする請求項1、2、3または4記載の半導体パッケージの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体パッケージの製造方法に関し、とくに樹脂基板を複数枚積層して成る半導体パッケージの製造方法に関する。

【0002】

【従来の技術】 PPGA (Plastic Pin Grid Array) あるいは PBGA (Plastic Ball Grid Array) 等の半導体パッケージは、ガラスエポキシ、ガラスポリイミド、BTレジン等の電気的絶縁性を有する基板表面に銅箔等の導体層を被着形成した樹脂基板を積層して形成される。図9は多層の半導体パッケージを製造する従来方法を示す(特公平2-5014号)。この製造方法は半導体素子を収容するキャビティを形成するための基板と、積層

体を形成した時点においてはキャビティを密閉するための基板とを用いることを特徴とする。

【0003】 キャビティを形成するための基板とキャビティを密閉するための基板はともに上記の導体層を被着形成した樹脂基板によって形成される。図9(a)で10aは積層体の内部に組み入れられキャビティを形成するための回路基板であり、10bはキャビティを密閉するための基板である。回路基板10aはキャビティを形成するための孔12が設けられるとともに、上記の導体層を被着形成した樹脂基板の導体層部分をエッチングして所定の配線パターンが形成される。基板10bは孔12が設けられず、導体層もエッチング等の処理が施されていない樹脂基板である。

【0004】 14は複数枚の回路基板10aおよび基板10bを互いに貼り合わせて基板の積層体を形成するための接着シートである。接着シートとしてはたとえばガラス繊維に接着剤を含浸させてフィルム状としたフィルム材(プリプレグ)が用いられる。この接着シート14を各回路基板10aの間および回路基板10aと基板10bとの間に挟み、真空中で加圧加熱することにより一体化した積層体を得られる(図9(b))。接着シート14には各回路基板10aに設けた孔12の孔サイズに合わせてあらかじめ開口孔が設けられている。

【0005】 回路基板10aとなる両面銅張り樹脂基板などに配線パターンを形成する方法は、導体層の表面にレジストパターンを形成し、導体層をエッチングする通常の方法が適用できる。接着シート14を用いて回路基板の積層体を形成した後、積層体に各層間の配線パターンを接続するための貫通孔20をドリル加工等により形成し、無電解めっきにより貫通孔20の内面に導通用のめっき層(例えば銅めっき層)22を設け、めっき層22と基板10bの外面の導体層に電解めっき(たとえば銅めっき)を施した後、積層体の外面の導体層をエッチングして外部接続端子を接合するランド24等の配線パターンを形成する。

【0006】 次に、キャビティを開口する面側の基板10bに孔加工を施し、キャビティ26を開口させた後、内部の回路基板10aに形成された配線パターン16の露出部分にニッケルめっき、金めっき等のめっきを施す。最後に、ランド24にはんだボール等の外部接続端子28を接合して製品とする(図9(d))。また、貫通孔内にリードピンを挿入して外部接続端子とすることもできる。

【0007】

【発明が解決しようとする課題】 上記の半導体パッケージの製造方法はキャビティを形成する孔12を設けた回路基板10aを孔12を設けていない基板10bによって挟むようにして積層体を形成し、この積層体に対して貫通孔20を設けたり無電解めっきを施したりすることで、これらの無電解めっき等の処理から内層の回路基板

10 aを隔離することができ、回路基板10 aに設けた配線パターン16がこれらの処理の際にめっき液等で侵されるといった問題を解消することができるという利点がある。

【0008】ところが、上述した従来の製造方法では回路基板10 aおよび基板10 bを貼り合わせるために接着シート14を使用していることから、これらの基板を積層して一体化する際に接着シート14から接着剤が流れ出して配線パターン16に付着してしまったり、接着シート14がガラス繊維を接着剤で固めたものであること10からガラス繊維の小片がシートから剥離してキャビティ内で露出する配線パターン16のボンディング部に付着するといったことが生じる。

【0009】接着シート14は加圧および加熱して基板を貼り合わせる際になるべく接着剤が流れ出ないものを選んで使用するのであるが、接着剤が配線パターン16に付着してしまうと、配線パターン16として所定のボンディング面積が確保できなくなるといった問題が生じ、不良品の発生原因となる。これを防止する方法として、従来は基板10 bを孔あけしてキャビティ26を開20口させた後、アルミナ粉末を吹きつけるジェットスクラブ処理等で不要な接着剤を除去することが行われている。

【0010】しかしながら、このような処理を行っても配線パターン16に付着した接着剤をとり除くことは困難で、ボンディング部での電気的接続の信頼性が十分でなかったり、またジェットスクラブ処理等を施すことによって配線パターン16が削られて細くなり、所要のボンディング面積が得られなくなるといった問題があった。

【0011】本発明はこれらの問題点を解消すべくなされたものであり、その目的とするところは、接着シートを用いて樹脂基板を積層して多層の半導体パッケージを作成する際に、配線パターンのボンディング部に不要な接着剤が付着するといったことを防止し、配線パターンとして所要のボンディング面積を確保して信頼性の高い半導体パッケージを確実に得ることができる半導体パッケージの製造方法を提供しようとするものである。

【0012】

【課題を解決するための手段】本発明は上記目的を達成するため次の構成を備える。すなわち、キャビティを形成する孔と前記孔の周縁部にボンディング部を有する配線パターンとが設けられた複数の回路基板を各回路基板間に接着シートを介在させて積層するとともに、これらの回路基板の最外層に前記複数の回路基板によって形成されたキャビティを密閉する基板を接着シートを介して積層することにより積層体を形成し、該積層体に前記配線パターンと外部接続端子とを接続するための貫通孔を設け、該貫通孔にめっきを施した後、前記キャビティの上面を密閉している基板にキャビティを形成するための開口を形成する半導体パッケージの製造方法におい20

て、前記回路基板の配線パターンを形成した面に感光性レジストを塗布し、後工程でボンディング部を被覆した部位を除去可能とする露光処理を前記感光性レジストに施すことにより前記ボンディング部に保護被膜を設けた後、前記回路基板を積層し、前記キャビティを開口した後、前記保護被膜を除去することを特徴とする。また、前記キャビティの上面及び下面を密閉している基板にキャビティを形成するための開口を形成することを特徴とする。また、前記感光性レジストとしてネガ型レジストを使用し、配線パターンのボンディング部以外を露光処理した後に回路基板を積層することを特徴とする。また、前記感光性レジストとしてポジ型レジストを使用し、配線パターンのボンディング部を露光処理した後に回路基板を積層することを特徴とする。また、前記保護被膜を溶剤等を用いて溶解除去することを特徴とする。

【0013】

【発明の実施の形態】以下、本発明の好適な実施の形態につき添付図面に基づいて説明する。図1は導体層として銅箔を両面に被着形成した樹脂基板を用いて多層の半導体パッケージを形成する回路基板を作製する方法を示す。図1(a)は銅箔11を両面に被着形成した樹脂基板10の断面図を示す。12はキャビティを形成するため樹脂基板10に設けた孔である。樹脂基板10はガラスエポキシ、ガラスポリイミド、BTレジンといった電気的絶縁性を有する樹脂材を基材としている。

【0014】図1(b)はこの樹脂基板10に対しエッチング処理を施して両面に配線パターン16を形成した状態である。配線パターン16は銅箔11の表面にレジストを塗布し、形成すべきパターンにしたがって露光してレジストパターンを形成し、レジストが被覆された部位以外10の銅箔11をエッチングして除去することによって形成される。配線パターン16を形成した基板を以下では回路基板10 aという。

【0015】ワイヤボンディングにより半導体素子と接続する配線パターン16のボンディング部はこの孔12の周縁部近傍に形成される。回路基板10 aに設ける孔12は回路基板10 aを積層して積層体を形成した際に、各段の回路基板10 aのボンディング部の領域が確保されるように回路基板10 aごとあらかじめ孔サイズを設定する。

【0016】銅箔11をエッチングして配線パターン16を形成した後、回路基板10 aの配線パターン16を形成した面に感光性レジスト30を塗布する(図1(c))。本実施形態では感光性レジスト30としてネガ型の感光性レジストを使用する。図1(d)は回路基板10 aに塗布した感光性レジスト30に露光している状態を示す。ネガ型の感光性レジストは露光した部位が現像後、除去されずに残る部位であり、露光されない部位が現像によって溶解除去される。この露光処理では配線パターン16のボンディング部を除いた部位、すなわち回

路基板10を積層した際に重ね合わさる範囲を露光する。これは、回路基板10aを接着する部分については感光性レジスト30を残し、ボンディング部を被覆する感光性レジスト30を後工程で除去できるようにするためである。

【0017】感光性レジスト30は配線パターン16のボンディング部を被覆することを目的とし、同時に配線パターン16を含む回路基板10aの表面全体に塗布することにより、配線パターン16を形成したことによって回路基板10aの表面に生じた凹凸をならして回路基板10aの表面を平坦面にするという作用も有している。回路基板10aの表面には配線パターン16による凹凸ができるが、感光性レジスト30を所定の厚さで塗布することにより回路基板10aの表面が平坦面になり、接着シート14（プリプレグ）により回路基板10aを積層する際に確実に接着することができるようになる。

【0018】本実施形態では回路基板10aの上下面に各々配線パターン16を設け、基板の下面については感光性レジスト30全体をそのまま残すため全面にわたって露光する。なお、上面の配線パターン16と下面の配線パターン16とを電気的に接続するため孔12の内壁面に導通用の導体部を設ける場合は、孔12の内壁面に設けた導体部にも感光性レジスト30を塗布して導体部を被覆する。その場合、孔12の内壁面の感光性レジスト30にも光照射しないようにし、導体部を被覆する感光性レジスト30が後工程で除去できるようにする。

【0019】また、上記例では基材の両面に銅箔11を被着形成した樹脂基板10を用いて回路基板10aを形成したが、基材の片面のみに銅箔11を被着した樹脂基板10を用いて回路基板10aを形成することもできる。この場合も配線パターン16を設けた面に感光性レジスト30を塗布して同様に露光処理すればよい。なお、この場合、回路基板10aの他方の面には感光性レジスト30を塗布しなくてもよいが、感光性レジスト30を塗布すれば接着シート14による回路基板10aの接合が確実になる。

【0020】図2は上記の処理を施した回路基板10aを基板の各層間に接着シート14を挟んで貼り合わせるにより積層体を形成した状態を示す。10b、10bはキャビティを形成するための孔12を形成していない基板で、重ね合わせた回路基板10aの外面に接着シート14を用いて接着している。この基板10b、10bにより回路基板10aを積層して形成されるキャビティ26を密閉している。

【0021】本実施形態では接着シート14としていわゆるプリプレグと呼ばれるシート材を使用した。プリプレグはガラス繊維を接着剤でシート状に固めたもので、プリプレグを各層の回路基板10aの間および回路基板10aと基板10bとの間に挟み、真空中で加圧しつつ

一定時間加熱することによって一体化した積層体が得られる。配線パターン16の先端のボンディング部は感光性レジスト30の保護被膜30aによって被覆されている。

【0022】回路基板10aの表面を被覆した感光性レジスト30は、配線パターン16のボンディング部を含めて回路基板10aの全体を被覆しているから、回路基板10aの間に接着シート14を挟んで回路基板10aを積層する際、および回路基板10aと基板10bとを接着する際に、接着シート14が加圧、加熱されて接着剤が流れ出た場合でも配線パターン16のボンディング部に接着剤が付着したりすることを確実に防止する。また、接着シート14と回路基板10aを位置合わせして重ね合わせるといった工程中に接着シート14から微小な破片（ガラス繊維片など）が落ちた場合でもボンディング部を汚れから保護することができる。

【0023】図3～図5は半導体パッケージに配線パターン16と外部接続端子とを接続する接続部を形成する工程を示す。図3は接続部の形成位置に貫通孔20を形成した状態を示す。貫通孔20は積層体にドリル加工を施して穿設することができる。なお、回路基板10の配線パターン16はこのスルーホールと導通をとるか否か、あらかじめ設定されてパターンが形成されている。

【0024】次に、無電解銅めっきを施し、貫通孔20の内壁面に無電解銅めっき被膜32を形成し、さらに電解銅めっきを施して、前記無電解銅めっき被膜32および基板10bの外面の銅箔11上に電解銅めっき被膜34を形成する。図4は無電解銅めっきおよび電解銅めっきを施した後の状態を示す。

【0025】この状態から、次に、基板10bの外面の導体層である電解銅めっき被膜34と銅箔11とをエッチングして配線パターンを形成する（図5）。基板10bの外面に形成する配線パターンとしては外部接続端子を接続するためのランド36a、あるいはコンデンサや抵抗体などの回路部品を接続するための導体部36b、あるいはヒートシンク材を取り付けるための導体部36c等がある。

【0026】これらの貫通孔20を形成する工程、無電解銅めっきおよび電解銅めっきを施す工程、電解銅めっき被膜34と銅箔11をエッチングして配線パターンを形成する工程では、積層体の内部の回路基板10aは完全に外部から遮断されている。したがって、これらの処理操作中に回路基板10aの配線パターン16がめっき液やエッチング液で侵されるといった心配がまったくない。

【0027】積層体の外面にランド36a等の配線パターンを形成した後、キャビティ26を密閉していた基板10b、10bをルーター等を用いて孔あけし、キャビティ26を開口させる。図6は両外層の基板10b、10bを孔あけしてキャビティ26を開口させた状態であ

る。

【0028】基板10b、10bを孔あけした状態で回路基板10aの配線パターン16のボンディング部は感光性レジスト30の保護被膜30aによって被覆されている。この保護被膜30aは露光処理が施されていない部位であり、アルカリ溶剤等の溶剤を用いて容易に除去することができる。感光性レジスト30を溶剤で溶解除去する際には、回路基板10aの配線パターン16や他の導体部等に悪影響を与えずに取り除くことができるから、配線パターン16のボンディング部は細幅化して所

要のボンディング面積が得られなかったり、異物が付着したりすることなく露出させることができる。

【0029】次いでパッケージの外面にソルダーレジスト等の保護膜38を形成し、さらにボンディング部と半導体素子との電気的接続を確実にするため、ボンディング部に下地ニッケルめっきと金めっき37を施す。この下地ニッケルめっきと金めっきは配線パターン16と導通するランド部36a等の他の導体部にも同時に形成される。図7は、上記工程後、外部接続端子40、ヒートシンク42、回路部品44を取り付けた状態を示す。こ

うして、回路基板10aを多層形成した半導体パッケージが得られる。

【0030】なお、キャビティ26の底面となる基板10bには孔あけ加工を施さず、基板10bの外表面にヒートシンク（放熱板）を接合してもよい。また、本実施形態はキャビティダウン型の製品であるが、キャビティ26の底面側に外部接続端子を接合するキャビティアップ型の形態とすることも可能である。また、上記実施形態ではキャビティ26を密閉する基板10bとして回路基板10a表面に樹脂基板を積層して設けたが、樹脂基

板を積層するかわりにキャビティ26の外面の開口部周縁に樹脂基板や絶縁フィルムなどを接合してキャビティ26を密閉し、キャビティ26を開口する際には、それら樹脂基板や絶縁フィルムを剥離するなどしてキャビティ26を開口させてもよい。キャビティ26を密閉する基板としては、このようにキャビティ26を密閉する樹脂基板や絶縁フィルムを概念として含むものである。また、キャビティ26を形成するための開口を形成するという概念には、このようにキャビティ26の開口部周縁に接合してキャビティ26を密閉した樹脂基板や絶縁フ

10

20

30

40

50

【0032】たとえば、上記例では感光性レジスト30としてネガ型のレジストを使用したか、ネガ型にかえてポジ型のレジストを使用することもできる。ポジ型の感光性レジストは露光した部位が現像処理によって溶解除去されるから、回路基板10aにポジ型の感光性レジストを塗布した場合は、配線パターン16のボンディング部のみ、すなわち後工程で溶解除去する範囲について露光する。これ以後の工程は、前述したネガ型の感光性レジストを使用した場合と同様である。基板10bを孔あけしてキャビティ26を開口させた後、溶剤を用いてボンディング部の保護被膜30aを溶解除去する。感光性レジストのボンディング部の範囲があらかじめ露光されているから露光部分が溶解除去される。

【0033】なお、ポジ型の感光性レジストを使用する場合は、回路基板10aの表面に感光性レジストを塗布した後、露光せずにそのまま回路基板10aの積層等を行い、所要のめっき等を施し、基板10bに孔あけ加工を施してキャビティ26を開口させた後、配線パターン16のボンディング部に対応する部位の感光性レジストに露光して、ボンディング部の感光性レジストを溶解除去する方法も可能である。

【0034】上記各実施形態のように、感光性レジストによって配線パターン16を被覆して保護する方法は、配線パターン16のボンディング部から感光性レジストを除去した際の配線パターン16の表面の性状が安定し、ニッケルめっき、金めっきを施した際にめっき被膜が安定するといった利点がある。

【0035】なお、上記実施形態では外部接続端子40としてはんだボールを使用した例を示したが、外部接続端子40としてリードピンを使用することもできる。図8にリードピンを使用した例を示す。リードピンを挿入する貫通孔は回路基板を貫通していてもよいし、回路基板の中途まで開口するものでもよい。

【0036】上記説明では、説明上、一つのパッケージ部分の構成を取り上げて説明したが、樹脂基板を用いて実際に半導体パッケージを製造する場合は、一度に複数個の半導体パッケージが製造できるように大判の樹脂基板を使用して多数個取りの形式で製造する。したがって、配線パターンのパターンニング等は大判の基板に対して行い、レジストの塗布、接着シートを用いた基板の貼り合わせも大判の基板で作業する。

【0037】

【発明の効果】本発明に係る半導体パッケージの製造方法によれば、上述したように、配線パターンのボンディング部を感光性レジストを用いて被覆することによって、作業工程中で配線パターンのボンディング部に異物が付着するといったことを防止することができ、後工程で保護被膜を除去することによって好適にボンディング部を露出させることができ、電気的接続性の良好なボンディング部を確保することができ、信頼性の高い半導体

パッケージを得ることができる等の著効を奏する。

【図面の簡単な説明】

【図 1】半導体パッケージの製造に用いる回路基板の製法を示す説明図である。

【図 2】基板を積層した積層体の断面図である。

【図 3】基板の積層体に貫通孔を設けた状態の断面図である。

【図 4】貫通孔にめっきを施した状態の断面図である。

【図 5】基板の電解銅めっき被膜および銅箔をパターン形成した断面図である。

【図 6】基板を孔あけ加工してキャビティを開口させた状態の断面図である。

【図 7】半導体パッケージの断面図である。

【図 8】外部接続端子としてリードピンを用いた半導体パッケージの断面図である。

【図 9】多層半導体パッケージの従来の製法を示す説明図である。

【符号の説明】

10 a 回路基板

10 b 基板

11 銅箔

12 孔

14 接着シート

16 配線パターン

18 レジスト

20 貫通孔

26 キャビティ

10 30 感光性レジスト

30 a 保護被膜

32 無電解銅めっき被膜

34 電解銅めっき被膜

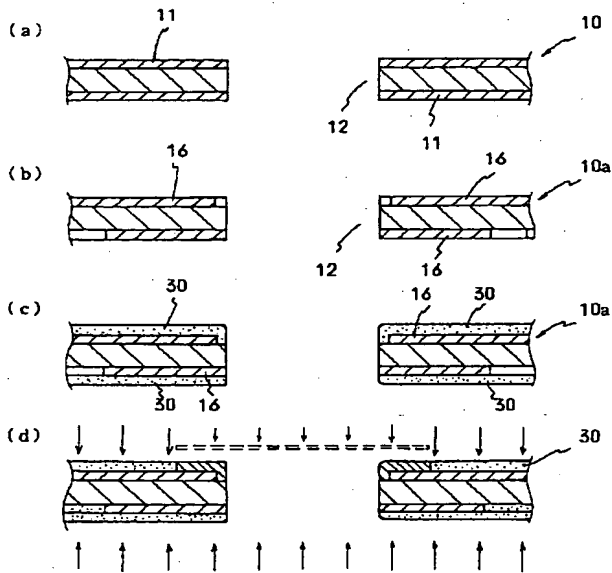
37 金めっき

38 保護膜

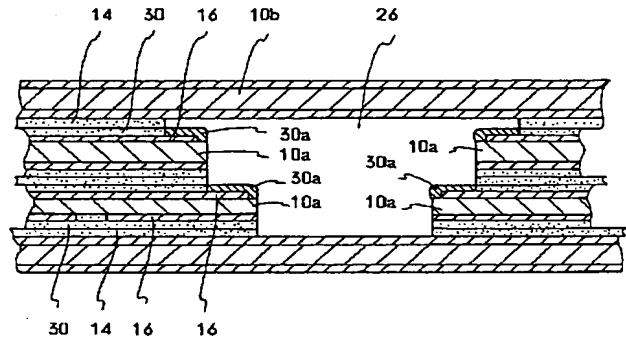
40 外部接続端子

42 ヒートシンク

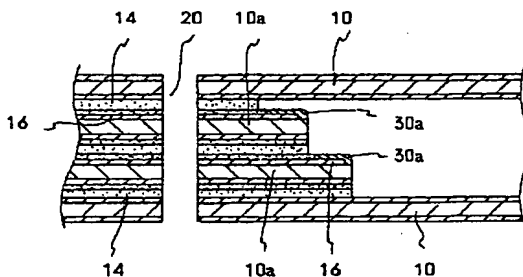
【図 1】



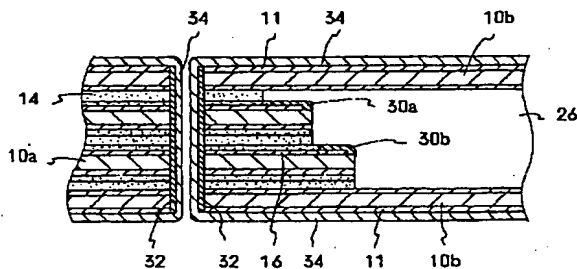
【図 2】



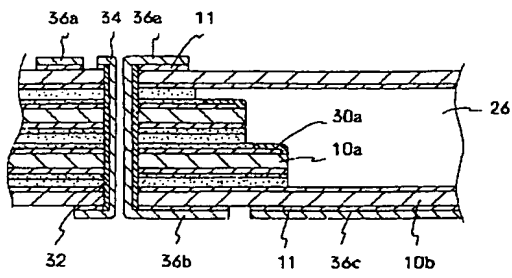
【図 3】



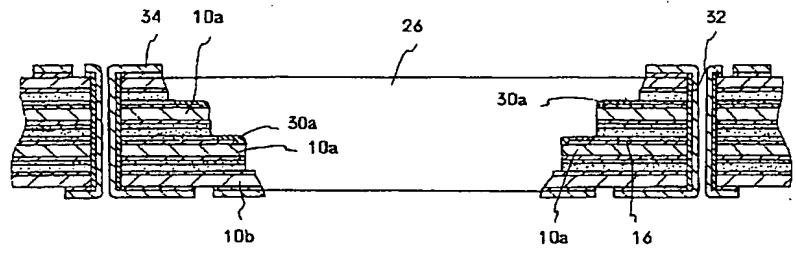
【図 4】



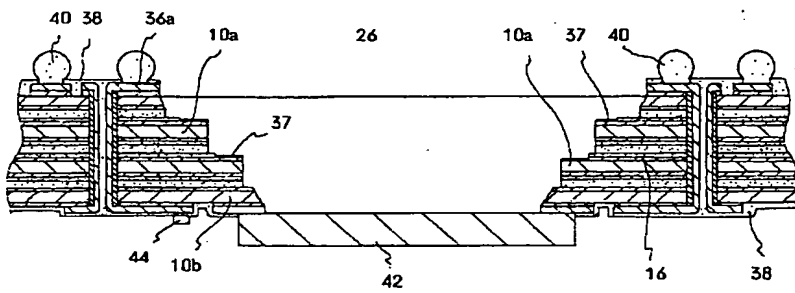
【図 5】



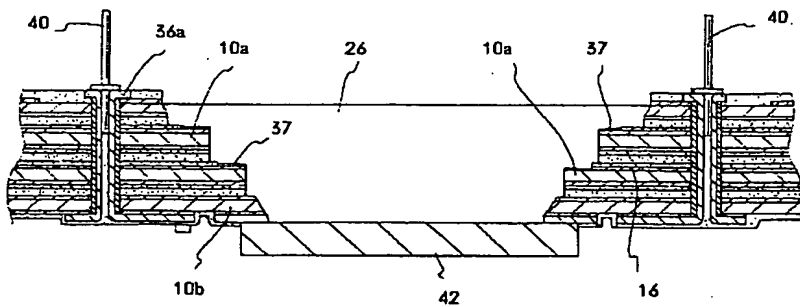
【図 6】



【図 7】



【図 8】



【図 9】

